

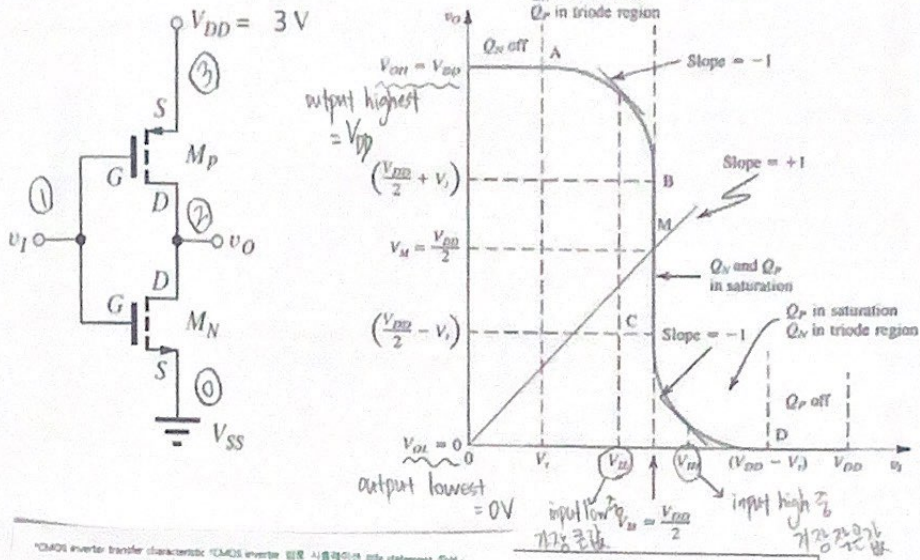
실 험 기

CMOS Inverter Simulation

1. Voltage Transfer Characteristic

(예비 실험)

1) 주어진 조건을 이용하여 SPICE를 통해 CMOS Inverter Voltage Transfer Curve를 plot 하여라. (단, $(W/L)_N=2/1$, $(W/L)_P=5/1$, $V_{DD}=3V$, $V_{SS}=0V$ 이다.)



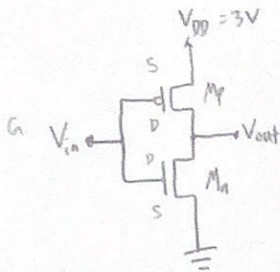
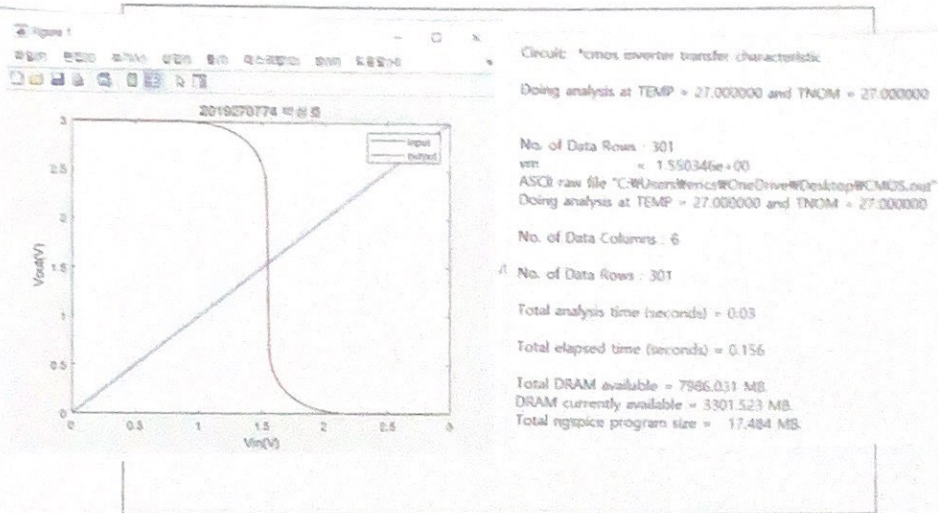
```
*CMOS inverter transfer characteristic *CMOS inverter 회로 시뮬레이션 title statements 작성.
VN 1 0 DC 0 *DC Source 코드 작성 순서 Vin(input voltage) (+)1번노드, (-)0번노드, DC, 전압인가.
VDD 3 0 DC 3 *DC Source 코드 작성 순서 VDD (+)3번노드, (-)0번노드, DC, 전압인가.
MN 2 1 0 NMOS W=2u L=1u *NMOS 코드 작성 순서 MN(NMOSFET 이름) Drain Gate Source,
Body NMOS W입 L입.
MP 2 1 3 PMOS W=5u L=1u *PMOS 코드 작성 순서 MP(PMOSFET 이름) Drain Gate Source,
Body PMOS W입 L입.
DC Vth 0 3 0.01 *DC 시뮬레이션 코드 작성 순서, DC(시뮬레이션 이름), Vin 0 3 0.01[Vth]을 0V부터
3V까지 0.01V만큼씩 올림.
.MODEL MN NMOS KP=50E-6 VTO=0.65 GAMMA=0.99 PHE=0.7 LAMBDA=0.02 RD=0 RS=0 Q1=0
PB=0.
+CGSO=330p CGSD=330p CGBO=330p C1=2.0E-4 M1=0.45.
+CSW=310p M1SW=0.36 TCK=4 LSE=5 LD=0.26u NSUB=5.9E16 NDS=1E10.
.MODEL MP PMOS KP=20E-6 VTO=0.75 GAMMA=0.55 PHE=0.7 LAMBDA=0.05 RD=0 RS=0 Q1=0
PB=0.
+CGSO=315p CGSD=315p CGBO=415p C1=2.0E-4 M1=0.45.
+CSW=180p M1SW=0.09 TCK=4 LSE=5 LD=0.25u NSUB=5.9E16 NDS=1E10.
*Parameter Setting Value 코드 작성순서 K 값을 의미하고 VTO는 threshold voltage를 의미함.
.control *control 구문 시작.
run *control 구문 실행의 시작.
meas DC Vth Vth=V(2)=1.5 *measure 함수 코드 작성 DC시뮬레이션 VDD=1.5가 되는 지점을 Vth
으로 저장.
end *control 구문의 끝.
.END *코드 마지막 작성되는 last statements.
```


[실험 7]

CMOS Inverter Simulation

<테스트 코드>

```
plot(v1.v2, 'b', v2, v3, 'r')
legend('input', 'output')
xlabel('Vin(V)')
ylabel('Vout(V)')
title('2019210114 박지성', 'fontsize', 12)
```



V_{in} 이 0V일때 $\rightarrow M_p$ 의 $V_{GS} = -3V$
 M_n 의 $V_{GS} = 0V$

$\rightarrow V_{out} = 3V$ M_p 를 통해 V_o 가 3V가 될 때까지 전류가 흐른다

V_{in} 이 3V일때 $\rightarrow M_p$ 의 $V_{GS} = 0V$
 M_n 의 $V_{GS} = 3V$

$\rightarrow M_p$ 가 작동하지 않아서 V_{out} 은 전류가 흐르지 않는다

V_{in} 이 low $\rightarrow V_{out}$ 이 high

V_{in} 이 high $\rightarrow V_{out}$ 은 low

] \rightarrow inverter

1실험 기

CMOS Inverter Simulation

(본 실험)

1) $V_M = \frac{V_{DD}}{2}$ 가 되도록 $(W/L)_N$ 와 $(W/L)_P$ 를 Resizing 하여라

(단, $V_{TN}=0.85V$, $V_{TP}=-0.75V$ 이다.)

→ Length는 건드리지 않고
NMOS Width를 변경하여
resizing

$$V_{DD}=3V$$

$$\rightarrow V_M=1.5V$$

V_M 을 $\frac{1}{2}V_{DD}$ 로 만들기 위해

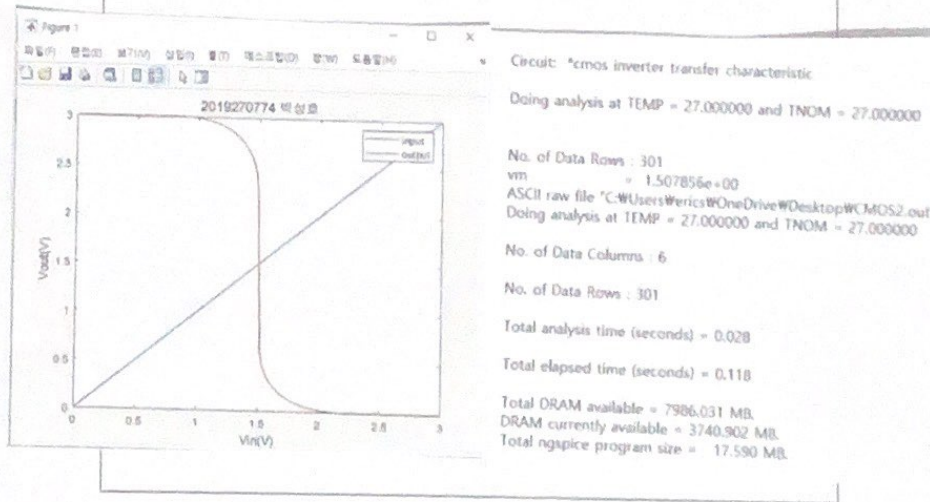
NMOS의 width (W_N)의

값을 $2\mu m$ 에서 $2.55\mu m$ 로

변경하였네

$V_M=1.507V$ 가 나왔다.

```
*CMOS inverter transfer characteristic
VIN 1 0 DC 3VDC Source 코드 작성, Voltage sources (1)1번까지, 1.4번까지, DC, 전압원기.
VDD 3 0 DC 3VDC Source 코드 작성, Voltage sources (1)1번까지, 1.4번까지, DC, 전압원기.
NMN 2 1 0 0 NMOSN W=2.55u L=1u *NMOSN 코드 작성, NMOSMOSFET 모듈, Drain, Gate, Source, Body NMOSN W값 (2).
PMP 2 1 0 0 PMOSP W=5u L=1u *PMOSP 코드 작성, PMOSMOSFET 모듈, Drain, Gate, Source, Body PMOSP W값 (2).
.MODEL NMOSN NMOS W=2.55u L=1u *NMOSN 코드 작성, NMOSMOSFET 모듈, Drain, Gate, Source, Body NMOSN W값 (2).
.MODEL PMOSP PMOS W=5u L=1u *PMOSP 코드 작성, PMOSMOSFET 모듈, Drain, Gate, Source, Body PMOSP W값 (2).
.PARAM VDD=3V VTN=0.85V VTP=-0.75V
.END
```



- $(W/L)_N$ 와 $(W/L)_P$ 각각의 크기는 ?

$$\left(\frac{W}{L}\right)_N = 2.55$$

$$\left(\frac{W}{L}\right)_P = 5$$

< 130 / 180 page >

<매크로코드>

plot(v1,v2,'b',v2,v3,'r')

legend('input','output')

xlabel('Vin(V)')

ylabel('Vout(V)')

title('2019200004 박정호', 'fontsize', 12)

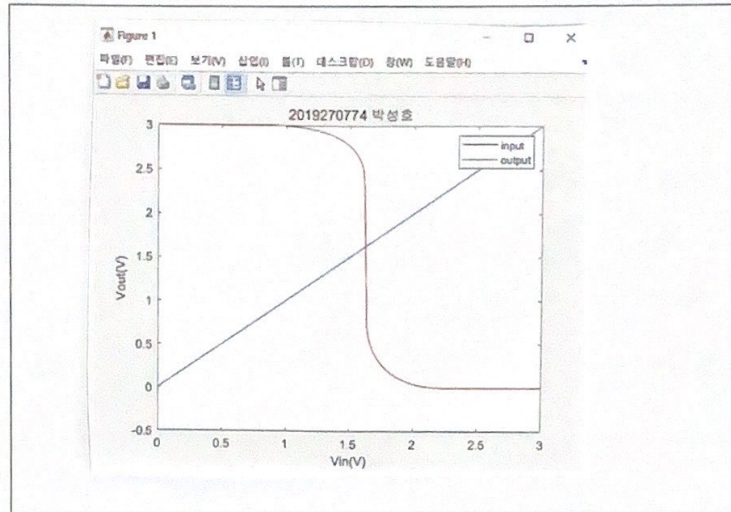
<매크로코드>

```
plot(v1,v2,'b',v2,v3,'r')
legend('input','output')
xlabel({'Vin(V)'}
ylabel({'Vout(V)'}
title('2019270774 박성호','fontSize',12)
```

실험 7

CMOS Inverter Simulation

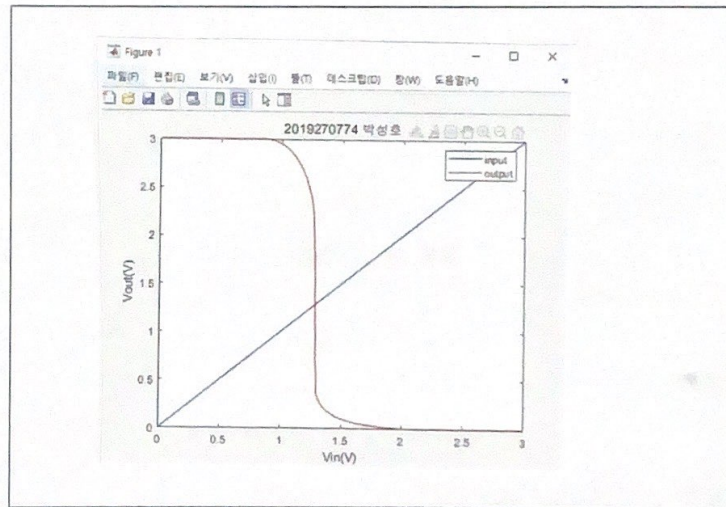
- 앞의 $V_M = \frac{V_{DD}}{2}$ 조건에서 $(W/L)_N$ 를 증가시킨 경우와 $(W/L)_P$ 를 증가시킨 경우를 각각 simulation 하고 비교하라.



$(\frac{W}{L})_p$ 를 증가시킴

$$(\frac{W}{L})_p = 10$$

$$(\frac{W}{L})_n = 2.55$$



$(\frac{W}{L})_n$ 를 증가시킴

$$(\frac{W}{L})_p = 5$$

$$(\frac{W}{L})_n = 10$$

- 그래프의 모양이 변하는 이유는?

$$V_M = \frac{r(V_{DD} - |V_{tp}|) + V_{tn}}{r+1}, \quad r = \sqrt{\frac{K_p}{K_n}} = \sqrt{\frac{\mu_p W_p}{\mu_n W_n}} \text{ 이다.}$$

$\frac{\mu_p W_p}{\mu_n W_n}$ 에서 W_p 가 증가하게 되면 r 값이 증가하고 V_M 값이 증가하므로 output voltage가 오른쪽으로 이동한다

W_n 이 증가하게 되면 r 값이 감소하고 V_M 값이 감소하므로 output voltage가 왼쪽으로 이동한다.

[실험 7]

CMOS Inverter Simulation

$V_{in} = 0V$ 일때

→ M_p 의 $V_{GS} = -V_{DD}$, M_n 의 $V_{GS} = 0V$

→ V_{out} 에 $V_{out} = V_{DD}$ 가 될 때까지 전류가 흐른다. (M_n 은 작동X)

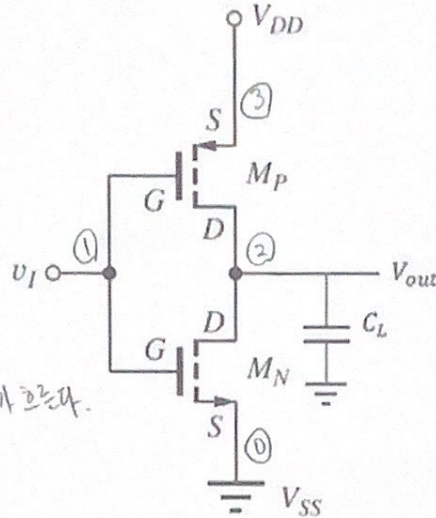
$V_{in} = V_{DD}$ 일때

→ M_p 의 $V_{GS} = 0V$, M_n 의 $V_{GS} = V_{DD}$

→ C_L 이 방전되면서 M_n 을 통해 전류가 흐른다.

⇒ V_{in} 이 low → V_{out} 은 high

V_{in} 이 high → V_{out} 은 low



Load Cap 이 달린 CMOS Inverter

*CMOS inverter transfer characteristic *CMOS inverter 회로 시뮬레이션 file statement 작성-

option FILETYPE * ASCII * 파일타입을 텍스트로 설정-

VIN 1 0 pulse 0 3 0 0 1N 0 1N 10N *Pulse Source 코드 작성, 순서: Vin(input voltage) (+)1번 노드 (-)0번노드, PULSE 기본값인 delaytime, risetime, falltime, peakwidth, period-

VDD 3 0 DC 3 *DC Source 코드 작성, 순서: Vdd (+)3번노드, (-)0번노드, DC, 전압크기-

MN 2 1 0 0 NMOS W=2u L=1u *NMOS 코드 작성, 순서: MN(NMOSFET 이름), Drain, Gate, Source, Body MOSF W값 (값)-

MP 2 1 2 2 PMOS W=5u L=1u *PMOS 코드 작성, 순서: MP(PMOSFET 이름), Drain, Gate, Source, Body MOSF W값 (값)-

CL 2 0 100f *캐패시터의 capacitance 코드 작성, 순서: CL(캐패시터 이름) (+)2번노드 (-)0번노드 100f(캐패시터의 크기)-

TRAN 0 1N 20N *Transient simulation 코드 작성, 순서: TRAN(simulation 이름), 0 1N 20N(0 1sec 만큼씩 20nsec까지 simulation 진행)-

MODEL NMOS NMOS K=50E-6 VTO=0.85 GAMMA=0.99 PHI=0.7 LAMBDA=0.02 RD=0 RS=0 IS=0 PB=0-

+CGO=330p CGSO=330p CGBO=393p Cj=3.9E-4 MJ=0.45-

+CISW=510p MJSW=0.36 TOX=4.15E-8 LD=0.25u NSUB=2.1E16 NSS=1E10-

MODEL PMOS PMOS K=20E-6 VTO=-0.75 GAMMA=0.53 PHI=0.7 LAMBDA=0.05 RD=0 RS=0 IS=0 PB=0-

+CGO=315p CGSO=315p CGBO=413p Cj=2.0E-4 MJ=0.47-

+CISW=180p MJSW=0.09 TOX=4.15E-8 LD=0.25u NSUB=5.9E16 NSS=1E10-

*Parameter Setting Value 코드 작성(0은 k 값을 의미하고 VTO는 threshold voltage를 의미한다)-

control *control 구문 시작-

run *control 구문 실행의 시작-

meas tran Time_PHL TRIG v(1) VAL=1.5 RISE=1 TARG v(2) VAL=1.5 FALL=1 *measure 함수 코드 작성 transient simulation이며 time_phl은 v(2)가 첫번째로 떨어질 때(FALL) v(2)가 1.5인 시간에서 v(1)이 첫번째로 올라갈 때(RISE) v(1)이 1.5인 시간을 빼면 된다-

meas tran Time_PLH TRIG v(1) VAL=1.5 FALL=1 TARG v(2) VAL=1.5 RISE=1 *measure 함수 코드 작성 transient simulation이며 time_plh는 v(2)가 첫번째로 올라갈 때(RISE) v(2)가 1.5인 시간에서 v(1)이 첫번째로 떨어질 때(FALL) v(1)이 1.5인 시간을 빼면 된다-

meas tran Time_Tr TRIG v(2) VAL=0.3 RISE=1 TARG v(2) VAL=2.7 RISE=1 *measure 함수 코드 작성 transient simulation이며 time_tr는 v(2)가 첫번째로 올라갈 때(RISE) v(2)가 2.7인 시간에서 v(2)가 첫번째로 올라갈 때(RISE) v(2)가 0.3인 시간을 빼면 된다-

meas tran Time_TF TRIG v(2) VAL=2.7 FALL=1 TARG v(2) VAL=0.3 FALL=1 *measure 함수 코드 작성 transient simulation이며 time_tf는 v(2)가 첫번째로 떨어질 때(FALL) v(2)가 0.3인 시간에서 v(2)가 첫번째로 떨어질 때(FALL) v(2)가 2.7인 시간을 빼면 된다-

ENDC *control 구문의 끝-

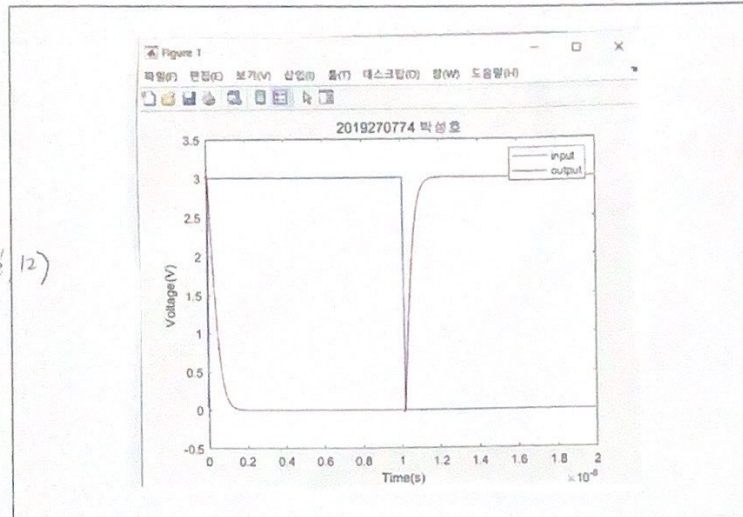
END *코드 마지막에 작성하는 last statement-

[실험 7]

CMOS Inverter Simulation

<매트랩 코드>

```
plot(time,v1,'b',time,v2,'r')
legend('input','output')
xlabel({'Time(s)'} )
ylabel({'Voltage(V)'} )
title('2019210114 박성호', 'fontsize' 12)
```



- t_r , t_f , τ_{PHL} , τ_{PLH} ?

```
No. of Data Rows : 221
time_phl = 3.517363e-10 targ= 4.017363e-10 trig= 5.000000e-11
time_plh = 3.179562e-10 targ= 1.046796e-08 trig= 1.015000e-08
time_tr = 6.559314e-10 targ= 1.089529e-08 trig= 1.023936e-08
time_tf = 6.967813e-10 targ= 8.481082e-10 trig= 1.513269e-10
ASCII raw file "C:\Users\Weric\OneDrive\Desktop\CMOS3.out"
Doing analysis at TEMP = 27.000000 and TNOM = 27.000000
```

t_r = rising time

τ_{PHL} = high to low τ_{an} delay

t_f = falling time

τ_{PLH} = low to high τ_{an} delay

<매크로모드>

```
plot (time, v1, 'b', time, v2, 'r')
legend('input', 'output')
```

```
xlabel ('Time (s)')
```

```
ylabel ('Voltage (V)')
```

```
title ('2019270774 박성훈', 'fontsize', 12)
```

[실험 기

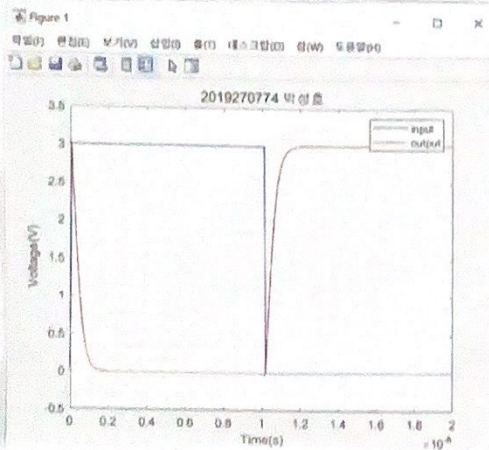
CMOS Inverter Simulation

(본 실험)

→ $T_{PHL} = T_{PLH}$ 가 되기 위해 PMOS의 width를 변경하였다.

2) $T_{PHL} = T_{PLH}$ 가 되도록 Inverter를 재설계 하시오.

(단, $V_{TN}=0.85V$, $V_{TP}=-0.75V$ 이다.)



.PLH 일 때 Graph

$$\left(\frac{W}{L}\right)_n = 2$$

$$\left(\frac{W}{L}\right)_p = 4.46$$

- T_{PHL} , T_{PLH} ?

No. of Data Rows : 221

```
time_phl = 3.496734e-10 targ= 3.996734e-10 trig= 5.000000e-11
time_plh = 3.494388e-10 targ= 1.049944e-08 trig= 1.015000e-08
time_tr = 7.348171e-10 targ= 1.098075e-08 trig= 1.024594e-08
time_tf = 6.956291e-10 targ= 8.454434e-10 trig= 1.498142e-10
ASCII raw file "C:\Users\Weric\OneDrive\Desktop\WCMOS4.out"
Doing analysis at TEMP = 27.000000 and TNOM = 27.000000
```

*CMOS inverter transfer characteristics

option FILETYPE = ASCII

```
VIN 1 0 pulse 0 3 0 0.1N 0.1N 10N 20N
VDD 3 0 DC 3
```

```
MN 2 1 0 0 MOSN W=2u L=1u
MP 2 1 3 3 MOSP W=4.46u L=1u
```

CL 2 0 100f

TRAN 0.1N 20N

```
MODEL MOSN NMOS KP=50E-6 VTO=-0.85 GAMMA=0.89 PH=0.7 LAMBDA=0.02 RD=0 RS=0 IS=0 PS=0
+ CGDO=33p CGSO=33p CGBO=39p CJ=1.9E-4 MJ=0.45
+ CJSW=51p MJSW=0.36 TOX=4.15E-8 LD=0.28u NSUB=2.1E16 NSS=1E10
```

```
MODEL MOSP PMOS KP=20E-6 VTO=0.75 GAMMA=0.53 PH=0.7 LAMBDA=0.05 RD=0 RS=0 IS=0 PS=0
+ CGDO=31p CGSO=31p CGBO=41p CJ=2.0E-4 MJ=0.47
+ CJSW=18p MJSW=0.09 TOX=4.15E-8 LD=0.25u NSUB=3.9E16 NSS=1E10
```

control

run

```
meas tran Time_PHL TRIG v(1) VAL=1.5 RISE=1 TARG v(2) VAL=1.5 FALL=1
meas tran Time_PLH TRIG v(1) VAL=1.5 FALL=1 TARG v(2) VAL=1.5 RISE=1
meas tran Time_T1 TRIG v(2) VAL=0.3 RISE=1 TARG v(2) VAL=2.7 RISE=1
meas tran Time_T2 TRIG v(2) VAL=2.7 FALL=1 TARG v(2) VAL=0.3 FALL=1
ENDC
```

END

→ 주석에서 앞에서 했음

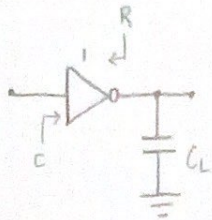
PMOS의 width를 감소시키면 T_{PHL} 은 감소하고 T_{PLH} 은 증가한다.

$\left(\frac{W}{L}\right)_n$ 은 기존 2로 2, $\left(\frac{W}{L}\right)_p$ 를 5에서 4.46으로 감소시켰더니

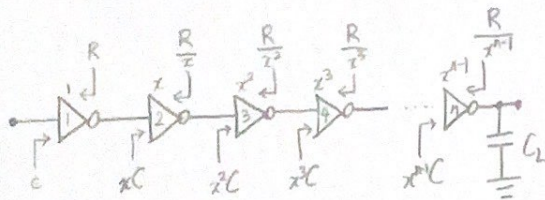
T_{PHL} 과 T_{PLH} 값이 거의 동일하게 나옴에 되었다

20192101114 박성호

< Cascade buffer design >



$$T = C_L R$$



$$T_2 = x^2 C \cdot \frac{R}{x} = x C R$$

$$T_3 = x^3 C \cdot \frac{R}{x^2} = x C R$$

$$T_n = C_L \cdot \frac{R}{x^{n+1}} = x C R \rightarrow x^n = \frac{C_L}{C} \rightarrow x = \left(\frac{C_L}{C}\right)^{\frac{1}{n}}$$

$$\Rightarrow T_{total} = n x C R = n \cdot \left(\frac{C_L}{C}\right)^{\frac{1}{n}} \cdot C R \rightarrow T = f(n) \text{ form}$$

$$\ln T_{total} = \ln n \cdot \left(\frac{C_L}{C}\right)^{\frac{1}{n}} \cdot C R = \ln n + \frac{1}{n} \ln\left(\frac{C_L}{C}\right) + \ln C R$$

$$\frac{d}{dn} \ln T_{total} = \frac{1}{n} - \frac{1}{n^2} \ln\left(\frac{C_L}{C}\right) = 0$$

$$\frac{1}{n^2} \ln\left(\frac{C_L}{C}\right) = \frac{1}{n}$$

$$n = \ln\left(\frac{C_L}{C}\right) \text{ (Minimum delay condition of } n)$$

$$x = \left(\frac{C_L}{C}\right)^{\frac{1}{n}} = \left(\frac{C_L}{C}\right)^{\frac{1}{\ln(C_L/C)}} \rightarrow \ln x = \frac{1}{\ln(C_L/C)} \ln\left(\frac{C_L}{C}\right) = 1 \rightarrow x = e = 2.718 \dots \approx 3 \text{ (Minimum delay condition of } x)$$

